

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-109418

(43)Date of publication of application : 20.05.1987

(51)Int.Cl.

H03H 7/32

(21)Application number : 60-249314

(71)Applicant : FUJITSU LTD

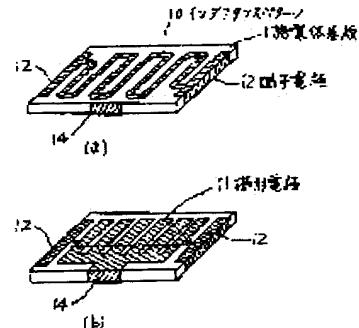
(22)Date of filing : 07.11.1985

(72)Inventor : NAGANUMA RIICHI
SATO NORIO
OGAWA HIROMITSU
MISHIRO EIJI

(54) CHIP-SHAPED DELAY ELEMENT

(57)Abstract:

PURPOSE: To obtain a miniature chip-shaped delay element having the variable delay time by forming an inductance pattern on the surface of a thin dielectric substrate and an interdigital electrode that can be easily cut by a laser on the back surface of the dielectric substrate respectively. CONSTITUTION: An inductance pattern 10 is formed on the surface of a dielectric substrate 1 together with an interdigital electrode 11 of a thin or thick film formed on the back surface of the substrate 1. An electrostatic capacity is provided between the pattern 10 and the electrode 11. The electrode 11 formed on the side opposite to the pattern 10 decides the electrostatic capacity. For such an interdigital electrode, the tooth parts can be easily separated by a laser machining with variable electrostatic capacity. In other words, the delay time proportional to the square root of the product of L and C can be controlled with variation of the electrostatic capacity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭62-109418

(43) 公開日 昭和62年(1987)5月20日

(51) Int. C1. 5

識別記号

府内整理番号

F I

技術表示箇所

H 0 3 H 7/32

審査請求 *

(全3頁)

(21) 出願番号 特願昭60-249314

(71) 出願人 99999999

富士通株式会社

*

(22) 出願日 昭和60年(1985)11月7日

(72) 発明者 *

*

(54) 【発明の名称】チップ形遅延素子

(57) 【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

誘電体基板（1）の表面に形成されたインダクタンスパターン（10）と、
該誘電体基板（1）の裏面に形成された、薄膜、または
厚膜の櫛形電極（11）とを備え、
該インダクタンスパターン（10）と該櫛形電極（11）
との間で、静電容量が設けられてなることを特徴とする
チップ形遅延素子。

(9) 日本国特許庁 (JP) (11) 特許出願公開
 (12) 公開特許公報 (A) 昭62-109418

(5) Int.Cl.¹
H 03 H 7/32

識別記号 廷内整理番号
7210-5J

(6) 公開 昭和62年(1987)5月20日

審査請求 未請求 発明の数 1 (全3頁)

(7) 発明の名称 チップ形遅延素子

(8) 特願 昭60-249314
(9) 出願 昭60(1985)11月7日

(10) 発明者 長沼理市	川崎市中原区上小田中1015番地	富士通株式会社内
(10) 発明者 佐藤憲雄	川崎市中原区上小田中1015番地	富士通株式会社内
(10) 発明者 小川廣光	川崎市中原区上小田中1015番地	富士通株式会社内
(10) 発明者 三代英治	川崎市中原区上小田中1015番地	富士通株式会社内
(11) 出願人 富士通株式会社	川崎市中原区上小田中1015番地	
(12) 代理人 弁理士 井桁貞一	川崎市中原区上小田中1015番地	

明細書

1. 発明の名称

チップ形遅延素子

2. 特許請求の範囲

誘電体基板(1)の裏面に形成されたインダクターンスパター(10)と、

該誘電体基板(1)の裏面に形成された、薄膜、または厚膜の構造電極(11)とを備え、

該インダクターンスパター(10)と該構造電極(11)との間で、静電容量が設けられてなることを特徴とするチップ形遅延素子。

3. 発明の詳細な説明

(概要)

薄膜の誘電体基板の裏面にインダクターンスパターを形成し、裏面に所望にレーザーカット容易な構造電極を形成することにより、遅延時間可変の、小形のチップ形遅延素子を提供する。

(産業上の利用分野)

本発明は、インダクターンスと静電容量とを、該回路で設けたチップ形遅延素子に関する。

近年は、高誘電率の誘電体基板の裏面に、該回路によりインダクターンスを形成し、裏面にアース電極を形成して、静電容量を設けた小形の遅延素子が使用されている。

この際、遅延時間の調整可能な遅延素子が要望されている。

(従来の技術)

第2図は従来の遅延素子の斜視図であって、1は薄膜の高誘電率の誘電体、例えばアルミナよりもなる誘電体基板であって、誘電体基板1の裏面に、蛇腹形のインダクターンスパター2を、厚膜、或いは薄膜で形成してある。

一方、誘電体基板1の裏面の全面に、アース電極3を厚膜、或いは薄膜で形成して、インダクターンスパター2との間で静電容量を設けている。

また、インダクターンスパター2の端末部、及

特開昭62-109418(2)

びアース電極3の所望の個所に、ピン状の外部端子4、及び外部端子5を接着してある。

このような遮延素子は、外部端子4、5が、例えばスルーホールに挿入半田付けされて、プリント板の所望の遮延線路部に実装され、電子装置の小型化、低コスト化の推進に寄与している。

〔発明が解決しようとする問題点〕

しかしながら、上記従来の遮延素子は、遮延時間調整するにあたって、異なった形状のインダクタンスパターンを新しく形成するより他に手段がなく、調整作業が著しく困難であるという問題点があった。

〔問題点を解決するための手段〕

上記従来の問題点を解決するため本発明は、第1図のように、誘電体基板1の表面に形成されたインダクタンスパターン10と、誘電体基板1の裏面に形成された、薄膜、または厚膜の複形電極11とを備え、インダクタンスパターン10と複形電極

11との間で、静電容量を設けるようにしたものである。

〔作用〕

上記本発明の手段によれば、インダクタンスパターン10の反対側の面には、静電容量を決める複形の電極11を形成してある。このような複形の電極は、レーザ加工により複数部分を切り離すことが容易であって、静電容量が可変である。

即ち、本発明のチップ形遮延素子は、静電容量を変えることにより、LとCの積の平方根に比例する遮延時間を、調整することができる。

〔実施例〕

以下図示実施例により、本発明を具体的に説明する。なお、全図を通じて同一符号は同一対象物を示す。

第1図は本発明の1実施例の斜視図であって、(a)は表面図、(b)は裏面図である。

第1図において、誘電体基板1の表面には、導

体パターンを蛇行させたインダクタンスパターン10を、薄膜、薄膜等の膜回路により形成してある。インダクタンスパターン10の端末部は、それぞれ誘電体基板1の対向する端面側に設けられ、側縁に平行した短冊形の端子電極12となっている。

なお、端子電極12は、誘電体基板1の裏面側より側端面を経て、裏面に延伸させ、側縁に平行した短冊形に形成してある。

誘電体基板1の裏面には、第1図(a)のように一对の端子電極12に直交する側縁近傍に、幹状の幹パターンを設け、幹パターンに連絡して直角に多段の複数を設けて、複形電極11を厚膜、薄膜等の膜回路により形成してある。

複形電極11の幹パターンの一部は、誘電体基板1の端面側に延伸して、端子電極14となっている。そして、端子電極14は、誘電体基板1の裏面側より側端面を経て、裏面に延伸されている。よって、裏面側で、複形電極11に接続したリード端子を接続することも可能である。

上述のように、本実施例のチップ形遮延素子は、

誘電体基板1の表面にインダクタンスパターン10が形成され、裏面の複形電極11との間に静電容量が形成されることにより、遮延機能を有するチップ形部品である。

このチップ形遮延素子は、インダクタンスパターン10側を下方にして、プリント板に載せ、プリント板の所定のパターンにそれぞれの端子電極12、端子電極14を位置合わせして、半田付け接続し、プリント板に実装することができる。

なお、複形電極11側を下方にして、プリント板に実装することも容易であり、また、それぞれの電極にリード端子を接続し、リード端子を所望に、例えばスルーホール、或いは他の接続端に直接接続して実装することもできる。

このチップ形遮延素子の遮延時間の調整は、複形電極11の選択した複数を例えば根本部分、即ち、第1図(b)に示す点線M-M部分で、適宜数レーザカットする。このことにより静電容量が変わり、遮延時間の調整が容易にできる。

特開昭62-109418(3)

〔発明の効果〕

以上説明したように本発明は、誘電体基板の一方の面に複数電極を設けたもので、静電容量を容易に変えることができ、遅延時間の調整が容易であるという、実用上で優れた効果がある。

4. 図面の簡単な説明

第1図は本発明の1実施例の斜視図で、

(a)は表面図、

(b)は裏面図、

第2図は従来の遅延素子の斜視図である。

図において、

1は誘電体基板、

2,10はインダクタンスパターン、

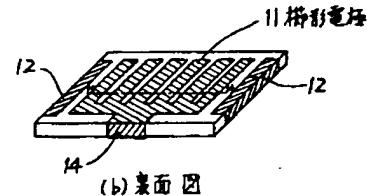
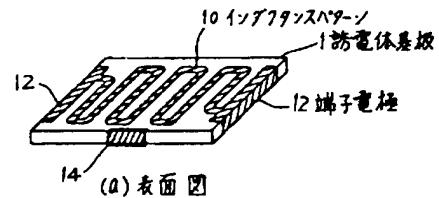
3はアース電極、

4,5は外部端子、

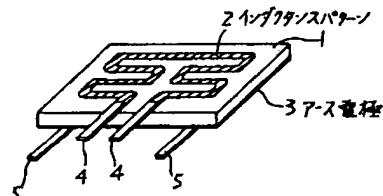
11は複数電極、

12,14は端子電極を示す。

代理人弁理士井桁貞一



本発明の実施例の斜視図
第1図



従来例の斜視図
第2図